



DDR5 기반 서버 플랫폼 솔루션의 I3C 신호 무결성 난제

발표자 - Azusena Lupercio, Juan Orozco, Nestor Hernandez

인텔 코퍼레이션



Juan Orozco: 안녕하세요. 제 이름은 Juan Orozco 입니다. 제 동료 Azusena Lupercio, Nestor Hernandez 와 저는 Intel Corporation 에서 왔습니다, 오늘은 DDR5 기반 서버 플랫폼 솔루션에 I3C 신호 무결성 난제에 대해 발표하겠습니다.

Agenda

- Introduction
- DDR5 SPD server connectivity and bus characteristics
- I2C and MIPI I3C Retro-compatibility challenges
 - Non-dynamic pullup impact
 - Dynamic pullup on open-drain
- Buffer R_{ON} design implications
- Critical time margin calculation
 - Frequency and AC/DC parameters impact
- Non-monotonic signal behavior
- Slope reversal capability and timing improvement
- Summary

Juan Orozco: 이번 발표 안건은 DDR5 SPD 서버 연결 및 버스 특성에 대한 소개를 해볼 것입니다. I2C 및 MIPI I3C 역호환성 난제를 리뷰할 겁니다. 시스템 디자인 함의에 대한 I3C 컨트롤러 및 타겟 디바이스 버퍼를 리뷰하고, 중요한 타임 마진 계산과 각각의 AC/DC 파라미터가 실행 주파수에 어떻게 영향을 미치는지 자세히 살펴보겠습니다. 저희가 가지고 있는 비단조 신호, 또는 애플리케이션에서 저희가 관찰한 것들을 보여드릴 겁니다. 타이밍 마진을 개선하고 논리적인 기능을 하는 디바이스를 위해서는 디바이스 타겟의 경사 역전 기능이 왜 필요한지 알아 볼 겁니다. 끝으로는, 모든 토론들을 요약할 것입니다.



MIPI ALLIANCE DEVELOPERS CONFERENCE

28-29
SEPTEMBER
2021

Introduction

[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

Introduction

- The MIPI I3C Improved Inter-Integrated Circuit interface is first introduced in a server application for the DDR5 DIMM Serial Presence Detect (SPD) function.
- Its implementation exceeds by far the bus capacitance/loading specification, which was defined for low capacitance Mobile/IoT applications.
- This presentation covers the interoperability challenges of the dynamic push-pull and open-drain operating modes on I3C BASIC server applications.
 - Covering an in-depth analysis of the implications of long PCB traces, multiple DIMM routing branches, several loads, to the electrical and timing parameters.

Juan Orozco: 그럼 시작하겠습니다. MIPI I3C 는 내부통합 회로 인터페이스를 개선했습니다, 이것은 DDR5 Dual In-line Memory Module Serial Presence Detect (SPD function) 에 여러 애플리케이션으로 처음 소개되었습니다. 서버를 구현할 시 MIPI I3C BASIC 사양의 버스 캐패시턴스를 훨씬 초과하는데, 이러한 사양이 캐패시터의 높낮음, 모바일 IOT, 소형 휴대형 디바이스등을 정의합니다.

이 프레젠테이션에서는 I3C BASIC 솔루션에서 작동 모드의 동적 푸시 풀 및 오픈 드레인 특성으로 인해 DDR5 서버 애플리케이션에서 발생하는 상호운용성 문제를 다뤘습니다. 여러 부하가 있는 다중 모드 라우팅 분기를 가진 마더보드에서 매우 긴 PCB 트레이스가 미치는 영향과 이러한 모든 특성이 전기 및 타이밍 파라미터에 미치는 영향에 대해 심층 분석 하겠습니다.

Introduction cont'd

- I3C Communication Bus specification was released by MIPI Alliance in 2016, as an improved communication protocol compared to its predecessor I2C, but the implementation of I3C, in a Data Center (Server) application was materialized until 2020.
- The main enhancements in I3C adopted by the DDR SPD function are:
 - Higher bit rate: up to 12.5MHz, compared to 100KHz-1MHz I2C SPD in prior DDR generations (125x to 12.5x higher bit rate).
 - Better IO electrical interface: Push-pull driver vs Open Drain only.
 - In-band interrupts (IBI) support – Not supported in DDR5 now, but looking for support in the future (or in other Server use cases).
 - In band Common Command Codes (CCCs) – Direct or Broadcast.
 - Reduced interface power (1.0V IOs).

Juan Orozco: I3C 통신 버스 사양은 2016년 MIPI Alliance에서 출시되었고 전작인 I2C에 비해 향상된 통신 프로토콜로 출시되었습니다. 그러나 서버 애플리케이션용 데이터 센터에 I3C를 구현한 것은 저희가 최초로 DDR5 서버를 갖게 된 2020년이었습니다.

DDR SPD 기능에 채택된 I3C의 개선된 주요 사항은 당연히 더 높은 비트 전송률입니다. 이전 세대 I2C SPD는 100KHz부터 최대 1MHz까지 인 것에 비해, 이론적으로 I3C는 12.5MHz까지 도달할 수 있습니다. 실제 구현에 따라 12.5배에서 125배의 높은 비트 전송률을 얻을 수 있습니다.

오픈 드레인 전용 버퍼에 비해 푸시-풀 드라이버가 있는 IO 전기 인터페이스가 이런 타입의 구현에 훨씬 더 적합합니다. 현재 DDR5 SPD에서 사용되지 않는 대역내 인터럽트 또는 IBI에 대한 지원은 현재로서는 지원되지 않지만, 향후에는 이것과 기타 서버 사용 사례 등을 지원할 수 있을 것으로 기대하고 있습니다.

CCCs로 다이렉트하고 전송하면 타겟 디바이스 및 제어 디바이스와의 커뮤니티 이점을 얻을 수 있습니다. 물론 인터페이스 전력도 감소시킬 수 있으며, 현재는 볼트 IO입니다.

Introduction cont'd

- The DDR5 SPD interface transitioned from I2C to MIPI I3C based on the following requirements for the next generation DDR DIMM technology:
 - Lower IO operating Voltage (as low as **1V** aligned to advanced process node)
 - DDR4 SPD IO voltage was **2.5V**
 - Higher interface bit rate (**400KHz** to **8-12.5MHz** in real applications) due to the increased number of devices per DIMM to be managed
 - DDR4 had **two** devices per DIMM vs **five** devices in DDR5
 - Considering 8 DIMMs per SPD segment, this is 16 vs 40 devices
 - Higher bit rate to reduce boot time (diminishing Memory Reference code execution time)

Juan Orozco: DDR5 SPD 인터페이스가 I2C 에서 MIPI I3C 로 전환할 수 있었던 것은 다음과 같은 조건들이 기반이 되어야하고, 다음 세대 DDR DIMM 기술을 위해서도 마찬가지 입니다: 1), 낮은 IO 전압 작동. 저희는 1볼트의 느린 속도로 가능하고 이것은 고급 실리콘 절차 노드와 같습니다. 이전 세대에서는 DDR4 SPD 가 2.5 볼트 IO 로 사용되 지금은 이 고급 실리콘 프로세스와 호환되지 않습니다.

지금부터 2 년 또는 4 년 후를 고려하더라도 1V 의 IO 는 필요합니다. DDR4 의 인터페이스 비트 전송률이 더 높기 때문에 저희는 DDR5 애플리케이션 5 개 디바이스를 사용하는 것보다 2 개의 DIMM 을 사용합니다. 늘어나는 디바이스 수를 관리하기 위해서는 더 높은 비트 전송률이 필요합니다. SPD 세그먼트당 최대 8 개의 DIMMS 를 가지고 있다 고려하면, DDR4 애플리케이션에서는 총 16 개의 디바이스를, DDR5 애플리케이션에서는 40 개의 디바이스를 관리 해야합니다. 두 배 이상입니다.

실제로 구현된 I2C 는 최대 400KHz 까지 도달할 수 있는데 두가지 요인으로 제한이 되는데 그것은 오픈-드레인 시그널 입니다. 400KHz 이상의 속도를 내기 위해서는 시간과 높은 부스트 정전용량에 대한 문제가 첫번째이고. 두 번째 문제는 I2C MoC [ph?]와 같은 표준화된 I2C 디바이스가 400KHz 로 제한된다는 것입니다. I3C 에서는 저희가 갖고있는 인터페이스에 수에 따라 달라지지만, 실제 응용에서는 8 ~ 12.5 MHz 에 도달합니다.

컴퓨터의 부팅 시간을 줄이려면 더 높은 비트 전송률이 필요합니다. 그러면 메모리 참조 코드가 전체 bin 검색 프로세스에서 소비해야 하는 시간을 줄일 수 있습니다.



28-29
SEPTEMBER
2021

**DDR5 SPD Server connectivity and
bus characteristics**

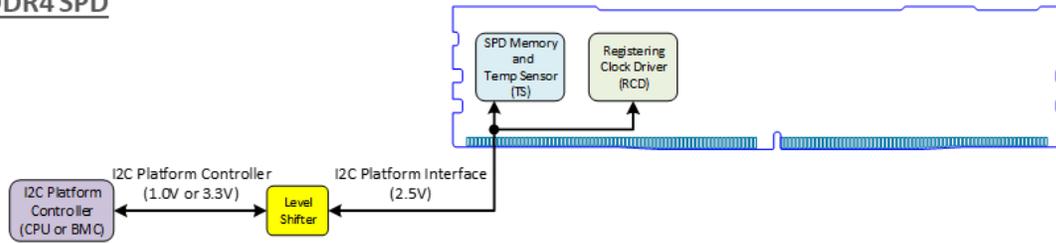
[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

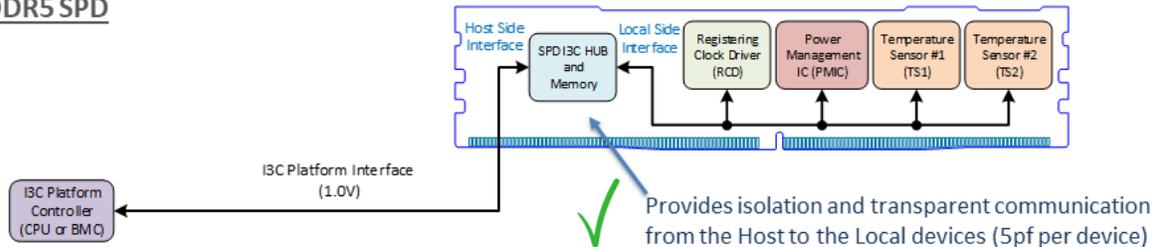
© 2021 MIPI Alliance, Inc.

DDR4 vs DDR5 SPD DIMM Connectivity

• DDR4 SPD



• DDR5 SPD

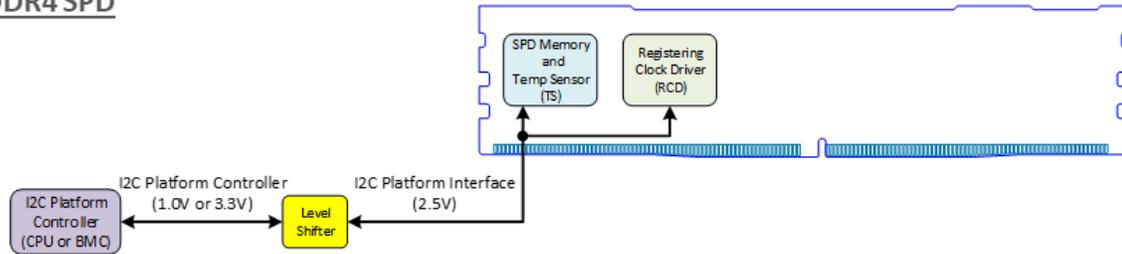


Juan Orozco: 서버메인보드에 DDR5 SPD 연결을 살펴보겠습니다. 앞서 말씀드린 DDR4 를 스페어로 보면, 하나는 SPD 메모리 및 온도 센서이고, 다른 하나는 레지스팅 클럭 드라이버입니다. 이 두 장치는 호스트 CPU 또는 보드 매니저 컨트롤러가 될 수 있는 플랫폼에 타겟 컨트롤러 디바이스에 2.5 IO 볼을 통해 플랫폼 I2C 인터페이스를 상호 연결할 수 있습니다. 디바이스에 따라 1V 또는 3.3V 로 작동하므로 그 사이 레벨을 조절하는 기어 장치가 필요합니다.

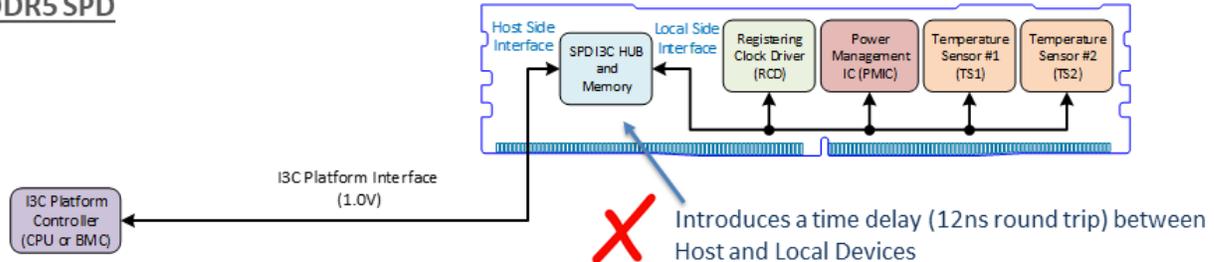
DDR5 SPD 를 보시면, CPU 또는 DMC 를 1v 또는 3.3v I3C IO 통해서 DIMM 인터페이스에 직접 연결할 수 있는 플랫폼 컨트롤러를 보실 수 있습니다. DIMM 에는 5 개의 디바이스가 있습니다. 그 중 하나가 SPD I3C HUB 인데, 이는 호스트 ID 인터페이스와 DIMM 의 로컬 사이트 인터페이스 사이를 전기적 절연합니다. 이 절연은 기본적으로 플랫폼의 컨트롤러가 5 개 디바이스를 동시에 전기 부하 대신, 하나의 디바이스만 부하 할 수 있게 합니다. 그래서 전반적으로 정전용량을 줄이는데 큰 도움을 줍니다.

DDR4 vs DDR5 SPD DIMM Connectivity

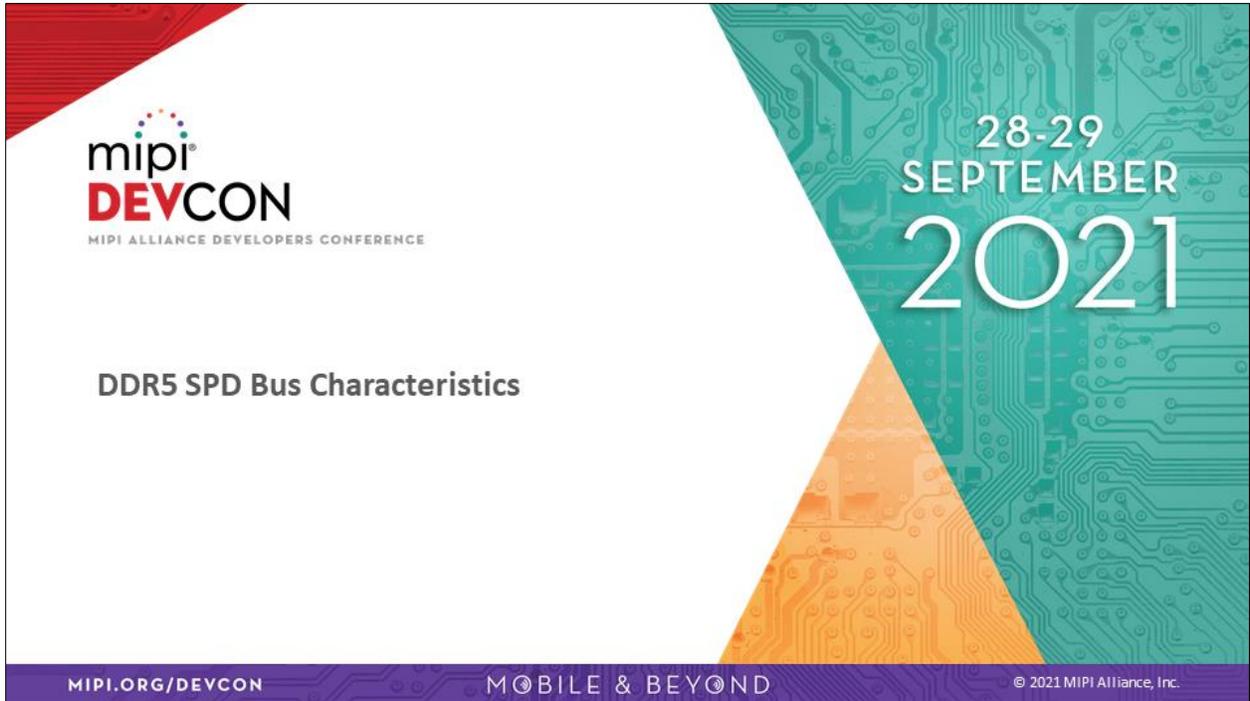
• DDR4 SPD



• DDR5 SPD



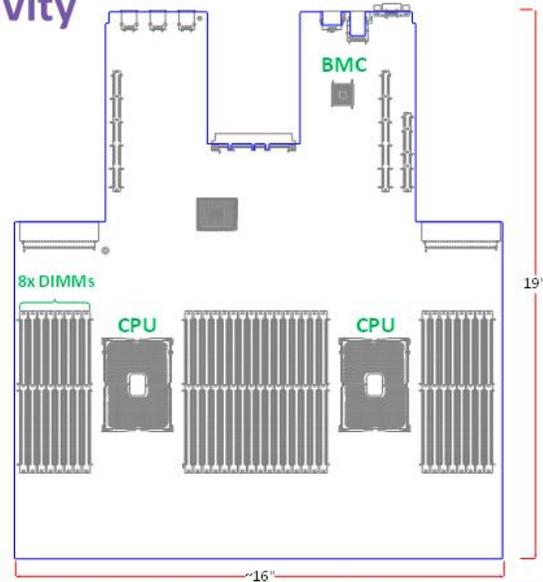
Juan Orozco: 이 접근법의 단점은 SPD HUB 가 컨트롤러와 타겟 디바이스 사이의 이동이 방향당 6 나노초 또는 12 나노초의 시간 지연을 발생시킨다는 것입니다. 결국, 컨트롤러가 타이밍 분석을 고려하여 12 나노초의 지연이 생기면 버스 커패시터 사이에 트레이드오프가 생길 겁니다. 그럼, 여기서부터는 Nestor 가 이어 맡아 하겠습니다.



Nestor Hernandez: 네, 소개 고마워요, Juan. 그럼 SPD 버스 특성에 대해 살펴보겠습니다.

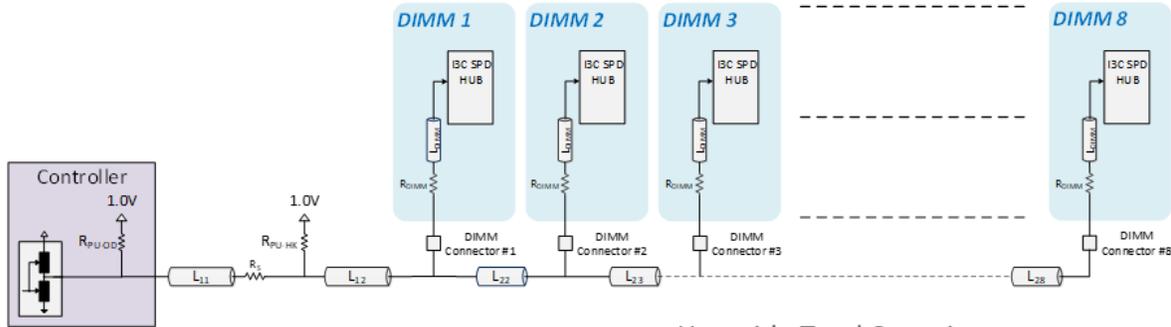
DDR5 SPD Platform Connectivity

- Host side Server PCB routing
 - Total length could exceed 50"
 - Server motherboards are BIG: up to 16"x 19"
 - BMC controller is located at the North side
 - DIMMs are located at the South side
 - CPU to DIMM SPD routing has lower priority than high speed IO routing (DDR5, PCIe G4/G5, etc.)



Nestor Hernandez: 도표에서 알 수 있듯이, 가장 큰 이슈는 구성 요소를 어디에 배치하느냐 하는 것입니다. 이건 굉장히 어려운 일입니다. 그 이유는 CPU와 유닛은 가까이 있지만, BMC는 그렇지 않은 경우가 많기 때문입니다. 16x19 크기의 보드를 보시면, 50 인치가 쉽게 들어갈 정도로 굉장히 큰 라우팅을 가지고 있습니다. SPD의 우선 순위가 낮기 때문에, PCIe, DDR, 즉 지금 보시는 모든 가장 높은 비트 다음에 라우트됩니다. 이것이 저희가 극복해야 할 첫 번째 과제입니다.

Routing length and capacitance



- Host side Server PCB routing

- From Controller to DIMMs ($L_{11}+L_{12}+L_{2x}$): $\sim 25''$
- DIMM routing (L_{DIMM}): 3.5"/DIMM, 28" 8x DIMMs
- Total PCB trace length: $\sim 53''$

- Host side Total Capacitance

- Each device apport 5pF
 - 1 CPU + 8 HUBs = 45pF
- PCB routing is $\sim 3\text{pF/in}$
 - $53'' * 3\text{pF} = \sim 159\text{pF}$
- **Totaling:**
 - **Dev (45pF) + PCB (53pF) = $\sim 204\text{pF}$**

Nestor Hernandez: 다음 어려운 문제는 실제 연결성을 어떻게 하느냐는 것입니다. 왜냐하면 저희는 많은 가지를 갖고 있기 때문입니다. 보시다시피, 8 개의 DIMM 들이 있고 많은 가지와 정말 긴 라우팅을 가지고 있습니다. 각 DIMM 의 모든 부하와 라우팅을 계산하면, 드라이버는 약 200 버스의 커패시턴스를 항상 관리해야 한다는 것입니다. 그래서 이어지는 다음 질문이, 이러한 커패시터들의 적합성을 어떻게 하느냐? 입니다.



MIPI ALLIANCE DEVELOPERS CONFERENCE

I2C and MIPI I3C Retro-compatibility Challenges

28-29
SEPTEMBER
2021

[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

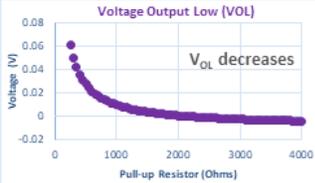
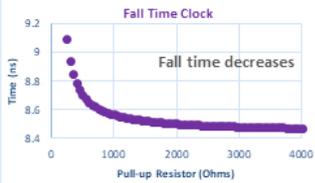
I2C and MIPI I3C Retro-compatibility Challenges

- There are three operating modes supported by the I3C protocol:
 - I2C mode with Open-Drain(OD) buffer class.
 - I3C mode with Open-Drain buffer class.
 - I3C mode with Push-Pull(PP) buffer class.
- The OD class requires a pullup to set a stable “Logic-high”.
 - The pullup is set accordingly with the total capacitance on the bus.
 - High capacitance busses requires a “**Strong pullup**”
 - Strong pullup guarantees rise time specification to pass.
- The PP class requires a High-Keeper pullup.
 - A “Weak pullup” is required to the target device with low current can pull SDA signal low within a minimum low period.
 - Weak pull-up lessens the voltage levels disturbances

MIPI I3C Basic Spec requires Dynamic pull-up control to switch between “strong pull-up” and “weak pull-up” to optimize open-drain and push-pull timing requirements.

Nestor Hernandez: 첫 번째 난제는 I3C 가 I2C 와 호환되어야 한다는 것입니다. 그러므로 I2C 가 필요한 것이 무엇인지 잘 살펴봐야 하죠. I2C 에는 오픈-드레인 버퍼 클래스 및 강력한 풀업이 요구됩니다. 오픈-드레인이 되려면 강력한 풀업이 있어야 합니다. 그러기 위해서는 낮은 높이에서 매우 강하게 잠겨야 합니다. 그럼, I2C 의 문제점은 푸시-풀 버퍼링이 필요하다는 겁니다. 즉, 낮은 레벨을 이동할 수 있도록 약한 풀업이 필요합니다. 따라서 MIPI I2C 기본 사양은 다이내믹 풀업으로 강력한 풀업 사이에 있는 스위치를 컨트롤 할 수 있어야 하고, 그것은 오픈-드레인 및 약한 풀업이 요구되며, 새로운 I2C 모드에서는 푸시-풀이 요구됩니다.

Non-Dynamic Pullup impact in a 204pF bus

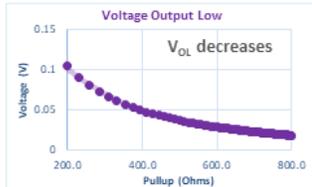
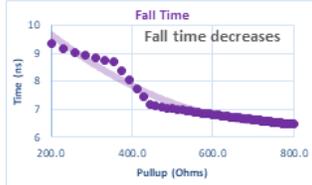


← Push-Pull

Open-Drain →

The Highest the PU

- VIH never reached with pull-up higher than 800Ω
- Limit max operating frequency



- On-Board PU can guarantee an OD max operating frequency.
 - A parallel equivalent $R_{PU_HK} || R_{PU_OD}$ of 333.3Ω
 - Rise time=75.3ns
 - A pullup $\geq 550\Omega$ negatively affects both rise time and operating frequency

A trade-off among pull-up value, rise time and V_{OL} is required to meet the highest operating frequency

Nestor Hernandez: 3 개의 수치를 사용해보면, 상승 시간을 가지는 것은 어렵고, 그 다음으로는 하강 시간과 V_{OL} 입니다. 보시다시피 오른쪽 오픈-드레인의 저항기 값이 더 낮고, 왼쪽에서 푸시-풀의 저항기 값은 더 높습니다. 따라서 이 두 가지 조건을 유사하게 하면 한 지점에 도달하게 됩니다. 보통 이 지점은 약 303 옴으로 상승 시간이 약 75 나노초이고, 이 풀업을 통해 최고 작동 주파수를 충족하는데 필요한 안전하고 건강한 V_{OL} 값을 얻을 수 있습니다.



28-29
SEPTEMBER
2021

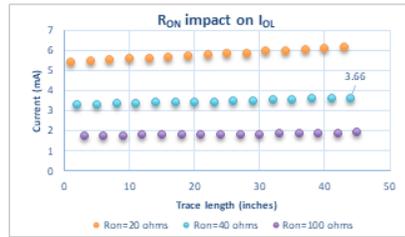
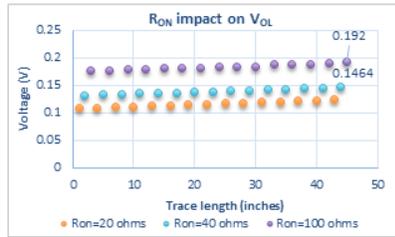
Buffer R_{ON} design implications

MIPI.ORG/DEVCON

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

Buffer R_{ON} value design implications

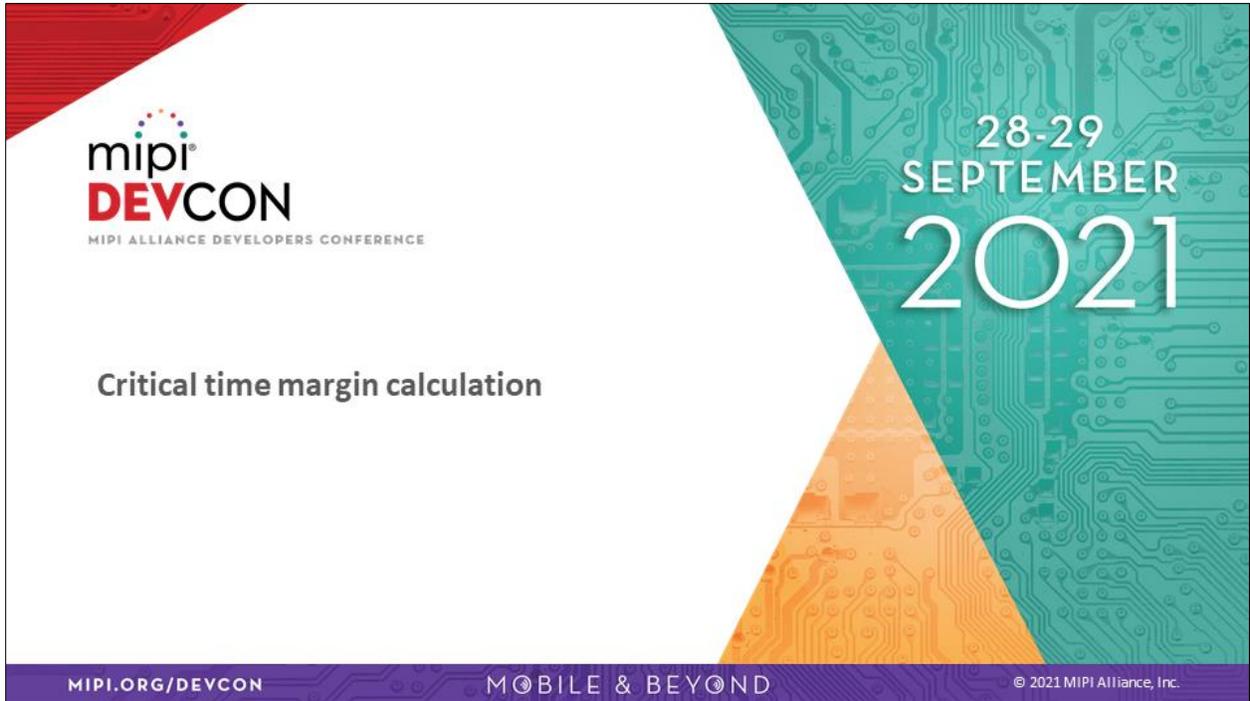


- The bigger the R_{ON} the higher the V_{OL} is:
 - Increasing trace length results in higher V_{OL}
 - With the longest trace length, $V_{OL}=192\text{mV}$,
 - Assuming $V_{IL}=0.3\text{V}$ then the transition margin is 108mV
 - Low transition margin can cause idle states
 - Setting the R_{ON} at $40\ \Omega$ reduces the V_{OL}
 - With the longest trace length $V_{OL}=146\text{mV}$,
 - If $V_{IL}=0.3\text{V}$ then the transition margin is 154mV
 - Notice that at the longest trace length with $V_{OL}=146\text{mV}$ the I_{OL} is **3.66mA**

By limiting R_{ON} into a max range of $40\ \Omega$ ensures a healthy V_{OL} by setting a max I_{OL} bigger than 3mA

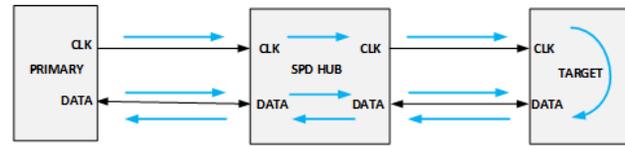
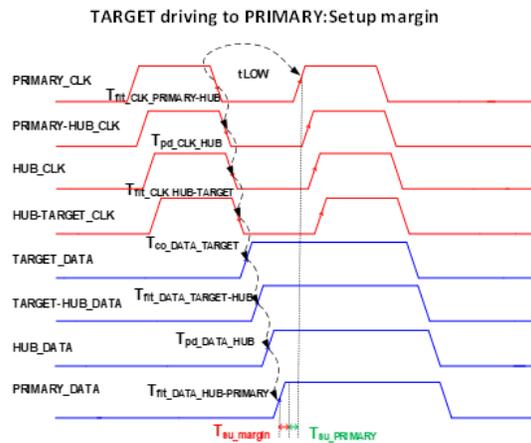
Nestor Hernandez: 드라이버는 드라이브하고, 버스는 더 강력한 드라이버가 되어야 합니다. 40 옴의 강력한 드라이버가 필요한데, 우리가 원하는 이러한 특성을 트레이스 길이로부터 제공해줍니다. 50 인치 정도 되는 곳에 도달했을 때에도, 커패시터를 그대로 드라이브하는 것을 보실 수 있습니다. 그러나 몇 가지 이슈들이 있습니다, 만약 가장 긴 트레이스에서 V_{OL} 을 사용할 수 없다면, 우리는 약 146 millivolts 를 가지게 될 것이고, 300 부하의 V_{OL} 트레이스면 약 150millivolts 를 가지게 될 것입니다. 이제 여기서 여러분이 주목해야 할 것은 이게 3.60 mA 로 사용되는데, 이것은 우리의 전력 컨셉과 그렇게 맞는 것이 아니라는 것입니다. 따라서 R_{ON} 을 순차적으로 최대 40 옴까지로 제한하면 건강한 V_{OL} 과 최대 인용량이 3mA 을 넘지않게 할 수 있습니다. 이것이 I3C 디자인에 있어 버퍼의 주요 특징이 될 것입니다.

다음으로는 실제 연결성 검사 계산으로 넘어가겠습니다.



Azusena Lupercio: 고마워요, Nestor. 그럼, 임계 시간 마진 계산에 대해 이야기 해보겠습니다.

Critical time margin calculation



TARGET driving to PRIMARY: Setup margin

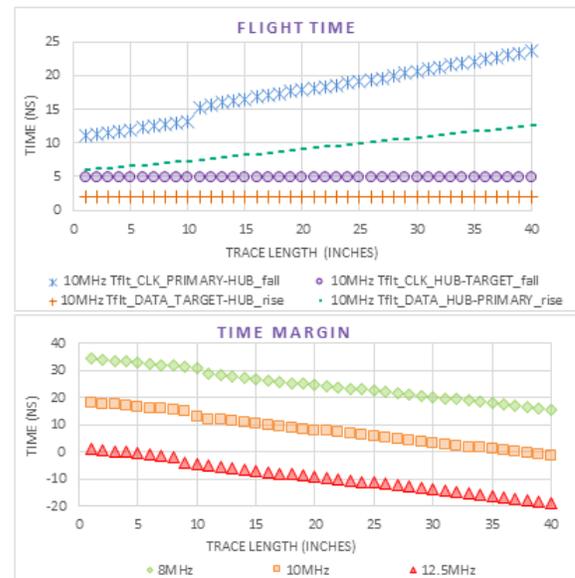
$$\begin{aligned}
 T_{sumar} = & t_{LOW} - (T_{flt_{CLK_{PRIMARY} \rightarrow HUB_{fall}}} + T_{pd_{CLK_{HUB}}} \\
 & + T_{flt_{CLK_{HUB} \rightarrow TARGET_{fall}}} + T_{CO_{DATA_{TARGET}}} \\
 & + T_{flt_{DATA_{TARGET} \rightarrow HUB_{rise}}} + T_{pd_{DATA_{HUB}}} \\
 & + T_{flt_{DATA_{HUB} \rightarrow PRIMARY_{rise}}}) - T_{su_{PRIMARY_{max}}}
 \end{aligned}$$

Azusena Lupercio: 높은 버스 캐패시턴스 시스템의 올바른 작동 주파수를 식별하기 위해, 우리는 타겟 디바이스가 기본 디바이스로 이동할 때 시간 마진 설정을 확인해야 하는데, 그것은 다음 방정식으로 할 수 있습니다. 트랜잭션 평균이 신호 주기의 낮은 부분에 있을 수 있으니, 전체 경로에 존재하는 모든 전파 지연 파라미터를 빼야 합니다. 따라서 주 디바이스에서 허브 디바이스로 이동할 때의 클럭 비행 시간 전파 지연, 허브의 클럭 전파 지연, 허브에서 타겟으로의 클럭 전파 지연, 타겟의 데이터 TCO, 타겟에서 허브로의 데이터 비행 시간, 허브의 데이터 전파 지연, 허브에서 기본 디바이스로의 데이터 비행 시간, 그리고 기본 디바이스의 설정 시간을 빼야 합니다.

Critical time margin calculation

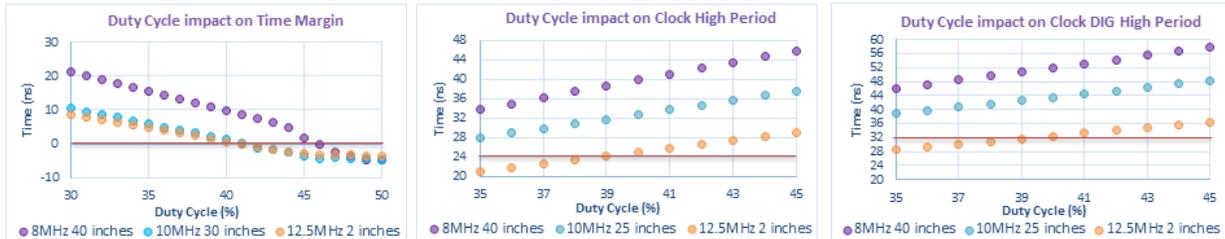
Frequency	10	MHz
Duty cycle	35	%
tLOW	65	ns
tflt_CLK_PRIMARY-HUB_fall	19.1	ns
tpd_CLK_HUB	6	ns
tflt_CLK_HUB-TARGET_fall	4.7	ns
tco_DATA_TARGET	12	ns
tflt_DATA_TARGET-HUB_rise	1.972	ns
tpd_DATA_HUB	6	ns
tflt_DATA_HUB-PRIMARY_rise	9.8	ns
tsu_PRIMARY_max	3	ns
Setup Margin	2.253	ns

- The longer trace length the biggest flight time
- Inner device propagation delay plays a significant role in defining the operating frequency.
 - The highest the Tpd the bigger the time margin reduction.
- Increasing tLOW provides extra timing margin.



Azusena Lupercio: 이러한 방정식을 생각함으로써, 이제 우리는 비행 시간, 트레이스 길이에 종속; 각종 디바이스의 내적 전파, 그리고 tLOW 와 같은 작동 주파수를 식별할 때 어떤 것이 가장 핵심적인 파라미터인지 확인할 수 있습니다. 또한, 트레이스 길이를 늘리면 비행 시간도 증가한다는 것을 알 수 있습니다. 그것은 높은 트레이스 길이에 있을때 비행 시간이 매우 높을 수 있다는 뜻입니다. 시간 마진 감소가 클수록 전파 지연이 높습니다. 그러나 tLOW 는 시간 마진을 연장할 수 있습니다. 아래 그림에는 12.5 MHz, 10 MHz, 8 MHz, 총 3 개의 작동 주파수가 있습니다. 빨간색이 12.5 MHz 입니다. 보시다시피 트레이스 길이가 매우 짧을 때도 시간 마진이 매우 짧습니다. 즉, 신호 트랜잭션을 완료할 시간이 충분하지 않다는 뜻입니다. 10 MHz 의 경우에는 약 35 인치 정도로 넓은 범위의 솔루션 공간이 있습니다. 마지막으로, 8 MHz 의 경우 40 인치 이상의 높은 커패시턴스 버스를 위한 충분히 넓은 솔루션 공간이 있습니다.

Frequency and AC/DC parameters impact



- Increasing duty cycle reduces t_{LOW} , thus reducing the Time Margin.
- When reducing the Duty Cycle the t_{HIGH} and t_{DIG_HIGH} are affected.
 - Small Duty Cycle can produce a NOT PASS on t_{HIGH}/t_{DIG_HIGH} .

A correct selection of Duty Cycle provides extra time margin to complete the setup transaction, granting higher operating frequency.

From MIPI I3C Spec $t_{HIGH} \min 24ns$, $t_{DIG_HIGH} \min 32ns$

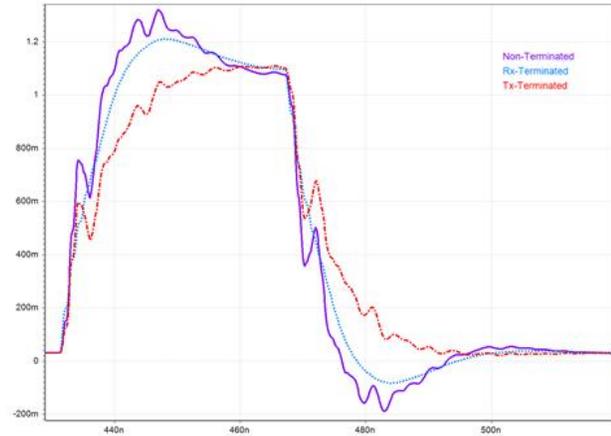
Azusena Lupercio: t_{LOW} 가 가장 핵심적인 파라미터 중 하나라는 것을 알았습니다, 그럼 듀티 사이클, LOW 디지털 하이 주기 및 클록 하이 주기와 같은 세 가지의 새로운 파라미터들을 게임에 참여 시킬 수 있습니다. 따라서 듀티 사이클을 증가시키면 t_{LOW} 는 감소합니다. 시간 마진도 감소하게 됩니다. 듀티 사이클을 줄일 때 t_{HIGH} 와 t_{DIG_HIGH} 가 영향을 받습니다. 즉, 듀티 사이클이 작을 경우 t_{HIGH} 및 t_{DIG_HIGH} 사양을 지나지 않을 수 있습니다. t_{HIGH} 최소값은 24 나노초이고 t_{DIG_HIGH} 최소값은 32 나노초임을 뜻합니다. 따라서 알맞는 듀티 사이클을 선택하면 트랜잭션 설정에 시간 마진을 추가할 수 있게 됩니다. 그렇게 하면 더 높은 작동 주파수가 보장됩니다.



Azusena Lupercio: 비단조 신호의 동작

Non-monotonic signal behavior

- Termination effect on transmission lines
 - Non-terminated circuit:
 - Signal bounces back and forth between the driver and the receiver.
 - Tx-terminated circuit:
 - Reduces drive strength
 - Increases propagation delay
 - Limits buffer capabilities
 - Rx-terminated circuit:
 - Reduces bouncing effect
 - Increases propagation delay



Azusena Lupercio: 비단조 신호는 결정 효과에 의해 감소될 수 있습니다. 즉, 종단회로를 갖고 있지 않을 때 신호가 드라이버와 수신기 사이에서 앞뒤로 튕겨 나간다는 뜻입니다. 신호가 비단조신호일때 송신기가 회로를 종단하여 드라이버의 강도를 낮추고, 전파 지연을 증가시키며 버퍼 기능을 제한합니다. 단조성이 없는 경우도 있는데, 송신기가 회로를 종단하여 바운싱 효과를 감소시키지만, 시간 전파 지연은 매우 높습니다. 파란색 라인을 보시면 단조성이 없는걸 확인하실 수 있습니다.

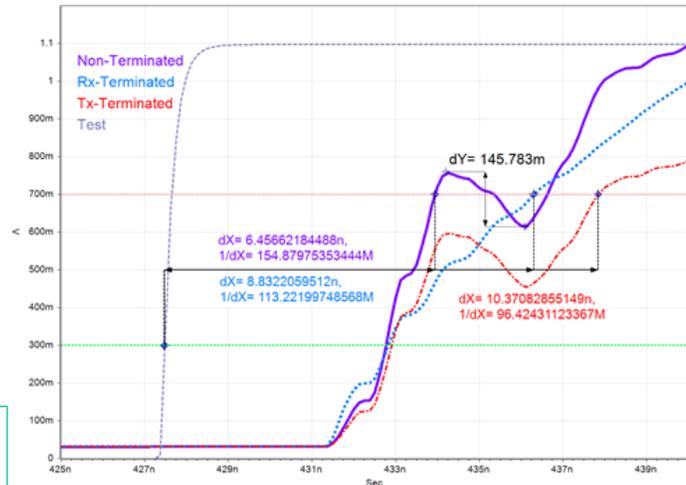


Azusena Lupercio: 경사의 역전 역량과 타이밍 개선.

Slope reversal capability and timing improvement

- With the non-deterministic loading of an unterminated bus, there can be reflections on the bus causing slope reversal on the Rx signal.
- By sampling at the first threshold is possible to filter Non-Monotonicity's; Schmidt triggered inputs
 - Non-terminated VS Rx-Terminated: **Improves 2.3ns**
 - Non-terminated VS Tx-Terminated: **Improves 3.92ns**

Slope reversal capability provides additional time margin that improves operating frequency and prevent false logic states.



Azusena Lupercio: 비종단 버스의 비확정적인 부하는, 버스에 반사 현상을 일으켜 수신기 신호에 기울기 반전이 발생할 수 있습니다. 첫 번째 문턱에서 샘플링 할 경우, 비단조성 또는 슈미트 트리거 입력을 필터링할 수 있습니다. 비단종과 단종 수신기를 비교하면 비행시간은 약 2.3 나노초로 개선되었습니다. 그리고 비단종 회로와 단종 송신기를 비교하면 비행시간은 약 3.9 나노초로 더 높아졌습니다. 기울기 반전 기능은 시간 마진을 추가해주며 작동 주파수를 개선하고 잘못된 논리 상태를 방지합니다.



Azusena Lupercio: 요약입니다.

Summary

- I3C Applications in Server systems (such as DDR5 SPD) are dealing with higher Bus capacitance than the max limit assumptions in MIPI spec (for 12.5MHz capable buses).
- Higher Bus capacitance applications can be mitigated by using good Buffer Drive strength, strong open-drain class pull-up, and HUB isolation circuits.
- A dynamic pullup operation allows to drive the interoperability challenges between the open-drain and push-pull operating modes; by enabling higher operating frequencies on both modes and limiting critical parameters to meet latest specification.
- Strong buffers tend to increase signal energy reflections, specially in complex topologies resulting with slope reversal conditions at Devices' Inputs.
- Schmitt trigger capable inputs are required in order to mitigate slope reversal conditions when dealing with high bus capacitance and strong buffers

Azusena Lupercio: DDR5 SPD 와 같은 서버 시스템의 I3C 애플리케이션들은 높은 버스 커패시턴스를 처리하는데, I3C MIPI 사양의 최대값 및 하한 제한 가정은 대부분 12.5 MHz 지원하는 버스입니다. 더 높은 버스 커패시턴스의 적용은 버퍼 드라이버의 강도, 강력한 오픈-드레인, 클래스 풀업 및 HUB 분리 회로에 의해 완화될 수 있습니다. 다이내믹 풀업 작동은 오픈-드레인과 푸시-풀 작동 사이의 상호운용성 문제를 제어하는데, 더 높은 작동 주파수와 핵심적인 파라미터들을 제한하는 것을 통해 최신 사양에 부합하도록 합니다. 강력한 버퍼는 신호 에너지의 반사를 증가시키는데, 디바이스 입력에 기울기 반전 조건이 복잡한 토폴로지인 경우에 특히 그렇습니다. 높은 버스 커패시턴스와 강력한 버퍼를 처리할 때 기울기 리허설 조건을 완화하려면 중간-트리거 가능한 입력이 필요합니다.



Azusena Lupercio: 정말 감사합니다. 경청해 주셔서 감사합니다. 이제 질의응답 시간으로 넘어가겠습니다.